

PRIORITY ENCODER

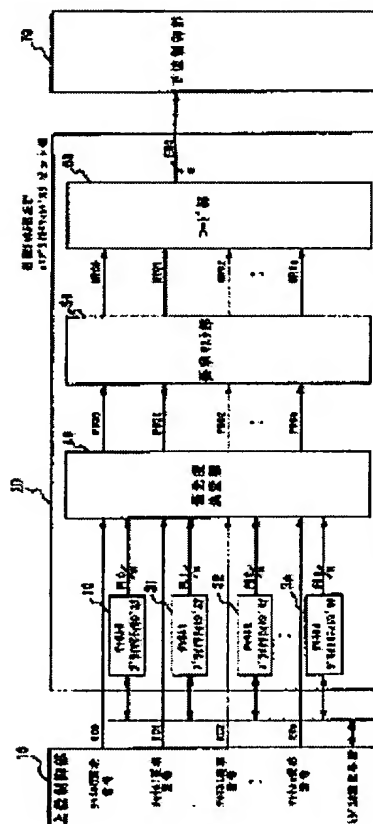
Patent number: JP2002091901
Publication date: 2002-03-29
Inventor: UEHARA KAZUHIKO
Applicant: NEC ENG LTD
Classification:
- International: G06F13/362
- european:
Application number: JP20000281684 20000918
Priority number(s):

Report a data error here

Abstract of JP2002091901

PROBLEM TO BE SOLVED: To provide a priority encoder in which the number of wirings is small and a circuit scale is small when the bit width of a priority register is increased.

SOLUTION: The priority encoder 20 connected between an upper controlling part 10 and a lower controlling part 70, comprises the priority register 30 corresponding to the number of channels, a priority deciding part 40 that is sequentially connected to the post stage of the registers 30, a request masking part 50 and a coding part 60. When the number of channels is increased, a priority encoder of an almost similar configuration is subjected to multistage connection to an upper stage 21, an intermediate stage 22 and a lower stage 23 between the upper and lower controlling parts 10 and 70. The lower stage 23 is one piece, and the intermediate stage 22 is composed of at least one stage.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

AQ

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-91901

(P2002-91901A)

(43) 公開日 平成14年3月29日(2002.3.29)

(51) Int.Cl.

G 0 6 F 13/382

識別記号

5 1 0

F I

G 0 6 F 13/382

9-711-1* (参考)

5 1 0 B 5 B 0 6 1

審査請求 未請求 請求項の数 7 O L (全 22 頁)

(21) 出願番号

特願2000-281684(P2000-281684)

(22) 出願日

平成12年9月18日(2000.9.18)

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者

上原 和彦

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74) 代理人

100061710

弁護士 福山 正博

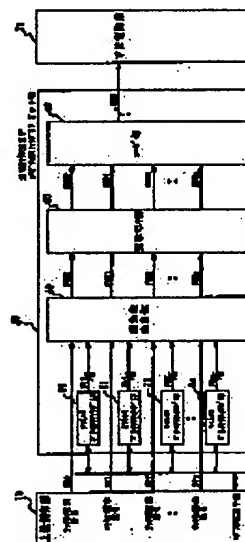
Pターム(参考) 5B061 8B02 R002

(54) 【発明の名称】 プライオリティエンコーダ

(57) 【要約】

【課題】 プライオリティレジスタのビット幅が増加した場合に配線数が少なく且つ回路規模の小さいプライオリティエンコーダを提供する。

【解決手段】 上位制御部10および下位制御部70間に接続されるプライオリティエンコーダ20は、チャネル数に対応するプライオリティレジスタ30、その後段に順次接続された優先度決定部40、要求マスク部50およびコード部60により構成される。チャネル数が増加する場合には、略同様構成のプライオリティエンコーダが、上位制御部10および下位制御部70間に上段21、中段22および下段23に多段接続される。下段23は、1個であり、中段22は、少なくとも1段に構成される。



【特許請求の範囲】

【請求項1】 上位制御部および下位制御部に接続され、チャンネル毎にプライオリティレジスタを設け、該プライオリティレジスタに設定された値により処理するチャンネルの優先度を決定するプライオリティエンコーダにおいて、前記チャンネル毎の要求信号と前記プライオリティレジスタの設定値を各ビット単位に「1」か「0」か判定し、最終的に処理するべきチャンネルを決定することを特徴とするプライオリティエンコーダ。

【請求項2】 前記プライオリティレジスタおよび前記上位制御部の出力を入力とする優先度決定部と、該優先度決定部の後段に順次接続され、該優先度決定部で決定されたチャンネルのみ要求ありと他のチャンネルをマスクする要求マスク部および処理するべきチャンネルを前記下位制御部に通知するコード部とを備えることを特徴とする請求項1に記載のプライオリティエンコーダ。

【請求項3】 前記優先度決定部は、論理ゲートおよびセレクタにより構成されることを特徴とする請求項1又は2に記載のプライオリティエンコーダ。

【請求項4】 前記上位制御部および下位制御部に複数のプライオリティエンコーダを多段接続し、チャンネル数の増加に対応することを特徴とする請求項1、2又は3に記載のプライオリティエンコーダ。

【請求項5】 前記複数のプライオリティエンコーダは、複数のプライオリティエンコーダを含む上段と、1個の下段と、1段以上の中段とに配置されることを特徴とする請求項1、2、3又は4に記載のプライオリティエンコーダ。

【請求項6】 入力部に前記チャンネル毎にチャンネル要求信号保持手段を設けることを特徴とする請求項1乃至5の何れかに記載のプライオリティエンコーダ。

【請求項7】 前記上位制御部がタイムシェアリング機能を有する場合に、入力部に前記チャンネル数に応じてセレクタを設けることを特徴とする請求項1乃至6の何れかに記載のプライオリティエンコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はプライオリティエンコーダ、特にコンピュータ装置等の複数の処理チャンネルを有する電子装置の処理すべきチャンネルを優先度に応じて決定するプライオリティエンコーダに関する。

【0002】

【従来の技術】 従来、この種のプライオリティエンコーダは、例えば特開昭61-138352号公報の「データ転送制御方式」および特開昭63-239526号公報の「プライオリティエンコーダ」等に開示されている。そして、コンピュータ装置等において、複数の処理チャンネルの中から処理すべきチャンネルを効率よく決定するため等に使用される。

【0003】 図18は、プライオリティエンコーダの従来例のブロック図である。また、図19は、従来のプライオリティエンコーダの主要部である優先度決定回路の具体例（チャンネル数：3）を示す図である。図18において、チャンネル制御装置100および複数のチャンネル（この特定例では、CH0、CH1およびCH2の3個）110、120および130がバス140を介して接続される。これらチャンネル110～130は、それぞれプライオリティレジスタ111、121、131およびMEM（メモリ又は記憶装置）インターフェース用レジスタ112、122、132を含んでいる。また、各プライオリティレジスタ111、121、131は、優先度決定回路150により制御される。チャンネル制御装置100は、MEMアクセス用レジスタ101を介してMEMインターフェース105に接続される。

【0004】 各チャンネル（CH0～CH2）110～130のPI（優先情報）の先には、プライオリティレジスタ111～131が、チャンネル毎に接続されている。これらのプライオリティレジスタ111～131からは、常時優先情報PIが入力されており、図19に示すデコーダ（DEC）200～202においてデコードされる。この状態において、各チャンネル（CH0～CH2）110～130からの要求（REQ0～REQ2）が付勢されると、該当するデコーダ200～202からデコード出力が付勢される。

【0005】 このとき、何れかのチャンネル（CH0～CH2）110～130において、デコード出力aが出力されると、NOR回路203の出力ENaが「0」となり、このデコード出力aより優先度の低いデコード出力を抑制するように機能する。同様に、デコード出力bが出力されると、NOR回路204の出力ENbが「0」となり、このデコード出力bより優先度の低いデコード出力を抑制するように機能する。以下、デコード出力cについても、同様に機能するように構成されている。従って、各チャンネル（CH0～CH2）110～130において、プライオリティレジスタ111～131に、 $a > b > c$ の如き優先度を持っている優先情報PIの何れかの値を設定するかによって、各チャンネル110～130の優先度が自動的に決まることになる。また、2つのチャンネル、例えばチャンネル（CH0）110およびチャンネル（CH2）130において、デコード出力aが出力されると、デコーダ（DEC）200、201において、デコード出力aが付勢され、上述と同じ論理に従って、NOR回路203の出力ENaが「0」となるが、通常の優先回路206によって、例えばチャンネル（CH0）110が優先選択されるように動作する。

【0006】

【発明が解決しようとする課題】 しかし、この従来技術では、プライオリティレジスタ111～131に設定さ

れている値を各チャネル110～130毎にデコードしている。そのため、プライオリティレジスタ111～131のビット幅(n)が増加すると、デコード後の配線数が2のn乗倍に増加してしまい、配線領域を多くとらなくてはならないという問題がある。また、デコードするのに最低でも2のn乗倍のゲート回路を用意しなければいけないため、回路規模が大きくなるという問題がある。例えば、図1.6に示す16ビット入力のデコード回路例では、プライオリティレジスタのビット幅が16ビット、チャネル数が16であった場合には、65536本の配線が16チャネルから出力される。16対65536のデコード回路を各チャネル110～130に持つので、16対1のゲート(例えば、AND)回路が、少なくとも65536×16個必要となる。図1.7に、プライオリティレジスタを16ビット幅とした場合の16チャネル分のセレクト回路例を示す。

【0007】

【発明の目的】従って、本発明の目的は、配線数および回路規模が小さく且つ拡張性の高いプライオリティエンコーダを提供することである。

【0008】

【課題を解決するための手段】本発明のプライオリティエンコーダは、上位制御部および下位制御部に接続され、チャネル毎にプライオリティレジスタを設け、このプライオリティレジスタに設定された値により処理するチャネルの優先度を決定するものであって、チャネル毎の要求信号とプライオリティレジスタの設定値を各ビット単位に「1」か「0」が判定し、最終的に処理すべきチャネルを決定する。

【0009】また、本発明のプライオリティエンコーダの好適実施形態によると、プライオリティレジスタおよび上位制御部の出力を入力とする優先度決定部と、この優先度決定部の後段に順次接続され、この優先度決定部で決定されたチャネルのみ要求ありと他のチャネルをマスクする要求マスクおよび処理すべきチャネルを下位制御部に通知するコード部を備える。優先度決定部は、論理ゲートおよびセレクトにより構成される。

【0010】上位制御部および下位制御部間に複数のプライオリティエンコーダを多段接続し、チャネル数の増加に対応する。複数段のプライオリティエンコーダは、複数個のプライオリティエンコーダを含む上段と、1個の下段と、1段以上の中段とに配置される。

【0011】また、入力部に、チャネル毎にチャネル要求信号保持手段を設ける。上位制御部がタイムシェアリング機能を有する場合には、入力部にチャネル数に応じてセレクトを設ける。

【0012】

【発明の実施の形態】以下、本発明によるプライオリティエンコーダの好適実施形態の構成および動作を、添付図を参照して詳細に説明する。

【0013】まず、図1は、本発明によるプライオリティエンコーダの第1実施形態の基本構成を示すブロック図である。このプライオリティエンコーダ20は、上位制御部10および下位制御部70間に接続されている。このプライオリティエンコーダ20は、0～aの要求チャネル毎のプライオリティレジスタ30、31、32、…、3a(以下、プライオリティレジスタを総称して30の参照符号を使用する)、優先度決定部40、要求マスク部50およびコード部60より構成される。プライオリティレジスタ30は、上位制御部10より設定手段を用いて、設定値を逐次変更可能である。また、上位制御部10からの要求信号RQ0～RQaは、プライオリティレジスタ30の出力信号である優先情報信号P10～P1aと組み合わせて優先度決定部40に供給される。

【0014】ここで、本発明のプライオリティエンコーダの主要部である優先度決定部40の出力である要求信号PRQ0～PRQaは、各プライオリティレジスタ30～3aに設定された優先情報信号P10～P1aおよび上位制御部10からくる要求信号RQ0～RQaを用いる。そして、要求信号RQ0～RQaが「要求あり」(例えば、レベルを「1」)且つプライオリティレジスタ30の設定が同じ(優先度が同じ)で、しかも優先度が高い値(例えば、プライオリティレジスタのビット幅を4ビットとしたとき、0h:優先度低い<Fh:優先度高い)が設定されているチャネルの要求信号PRQ0～PRQaが、「1」となる。斯かる優先度決定部40の具体例の構成図を、図7に示す。図7に示す0～aのチャネル数の優先度決定部40は、複数のANDゲートA、複数の2-1SELおよび1個のORゲートRよりなる複数段の回路により構成される。

【0015】要求マスク部50では、優先度決定部40からくる要求信号PRQ0～PRQaが「要求あり」(例えば、レベル「1」)のチャネルの中から予め決められた順番で(例えば、チャネル番号の小さい方)処理するチャネルを1つ決定する。決定したチャネルの要求信号MRQx(x:処理決定したチャネル番号)は、「要求あり」(例えば、レベル「1」)となり、それ以外のチャネルは要求があってもマスク(例えば、レベル「0」)し、コード部60に通知される。そこで、コード部60は、要求マスク部50から通知された各チャネルの要求信号MRQ0～MRQaに相当する値にコードし、処理チャネル通知信号ENCを下位制御部70に通知する。下位制御部70は、処理チャネル通知信号ENCを参照することで、処理すべきチャネルを知ることができる。

【0016】次に、図2は、処理するチャネル数が多くなった場合の、本発明によるプライオリティエンコーダの概略構成を示す。図2に示す如く、上段プライオリティエンコーダ21、中段プライオリティエンコーダ22

および下段プライオリティエンコーダ23の如く多段接続構成として、実現することができる。プライオリティエンコーダの段数を3段以上にする場合には、中段プライオリティエンコーダ22を増加することになる。図2の特定例では、4段構成であり、中段が2段構成である。

【0017】次に、図3は、図2に示す上段プライオリティエンコーダ21のブロック図である。また、図4は、図2に示す中段プライオリティエンコーダ22のブロック図を示し、図5は、図2に示す下段プライオリティエンコーダ23のブロック図である。尚、図3～図5において、図1に示す構成要素に対応する構成要素には、説明の便宜上、同様の参照符号を使用することとする。

【0018】図3には、上位制御部10および中段プライオリティエンコーダ22間に配置された上段プライオリティエンコーダ21を示す。この上段プライオリティエンコーダ21は、チャンネル毎のプライオリティレジスタ30、優先度決定部41、要求マスク部50およびコード部61により構成される。図1に示す基本プライオリティエンコーダ20と比較すると、図3の上段プライオリティエンコーダ21は、優先度決定部41およびコード部61が異なっている。優先度決定部41は、上述した優先度決定部40の機能に、上位制御部10からの要求信号RQ0～RQ6の中に「要求あり」が1つでもあれば、中段プライオリティエンコーダ22に全チャンネルの要求信号UARQを「要求あり」（例えば、レベルを「1」）と通知する機能が付加されている。次に、コード部61は、上述したコード部60に、最終的に「要求あり」と決定したチャンネルのプライオリティレジスタ値を中段プライオリティエンコーダ22にプライオリティレジスタ信号UPIを通知する機能が付加されている。

【0019】次に、図4に示す中段プライオリティエンコーダ22は、上段プライオリティエンコーダ21および下段プライオリティエンコーダ23間に接続されている。この中段プライオリティエンコーダ22は、優先度決定部41、要求マスク部50およびコード部62により構成される。図3を基本とすると、図4の中段プライオリティエンコーダ22は、コード部62が異なっている。コード部62は、上述したコード部61に、更に上段プライオリティエンコーダ21からの処理チャンネル通知信号UENCO～UENC6の中から最終的に「要求あり」と決定したチャンネルの処理チャンネル通知信号MENCOを下位プライオリティエンコーダ23に通知する機能が付加されている。

【0020】最後に、図5の下段プライオリティエンコーダ23は、中段プライオリティエンコーダ22および下位制御部70間に接続され、優先度決定部40、要求マスク部50およびコード部63により構成される。図

1の基本プライオリティエンコーダと比較すると、図5に示す下段プライオリティエンコーダ23は、コード部63が異なっている。コード部63は、コード部60に中段プライオリティエンコーダ22からの処理チャンネル通知信号MENCO～MENCO6の中から最終的に「要求あり」と決定したチャンネルの処理チャンネル通知信号ENCOを、下位制御部70に通知する機能が付加されている。

【0021】次に、各部の構成を説明する。説明の便宜上、チャンネル数を4、プライオリティレジスタ30の幅を2ビット、プライオリティレジスタ30に設定されている優先情報は、数値の大きい方が高優先度とする。また、要求信号は「要求あり」で「1」、「要求なし」で「0」、要求マスク部50はチャンネル番号の小さい方が高優先度とした場合の詳細構成図を図8に示す。優先度決定部40は、各チャンネル、各プライオリティレジスタ30のビット毎に1つのANDゲートA10～A13、A20～A23および2対1セレクタ（以下、2-1SELと表記する）S10～S13、S20～S23で基本部分を構成される。そして、ORゲートR10、R20にて各チャンネルに設定されている優先情報と「要求あり」および「要求なし」ビット単位に通知しあっている。要求マスク部50は、ANDゲートA31～A33により構成され、チャンネル番号が小さい方に「要求あり」となった場合には、それより大きいチャンネルに対して、マスクをかけるよう構成されている。コード部60は、コード回路C10で構成されている。

【0022】図9および図10は、多段接続時の優先度決定部40又は41およびコード部60、61又は62の詳細構成図である。図9中、優先度決定部41は、図8に示す優先度決定部40に各チャンネルからの要求信号URQ0～URQ3をOR（論理和）するORゲートR30が付加されたものの構成である。また、図10においてコード部61は、4個のANDゲートおよび1個のORゲートを付加し、コード部60に要求マスク部50からの要求信号MRQ0～MRQ3と優先情報信号UPI0～UPI3を用いて、最終的に決定したチャンネルの優先情報信号MPIを通知する機能を付加している。また、コード部62は、コード部61に対して更に4個のANDゲートおよび1個のORゲートを付加し、コード部61に要求マスク部50からの要求信号MRQ0～MRQ3と処理チャンネル通知信号UENCO～UENC3を用いて、最終的に決定したチャンネルの処理チャンネル通知信号MENCOを通知する機能を付加している。どちらも、要求マスク部50から通知される要求信号MRQ0～MRQ3が、何れか1つのみしか「要求あり」（レベル「1」）となっていないため、他のチャンネルは、前段のANDゲートでマスクされ、ORゲートから出力されるのは、「要求あり」となっているチャンネルのみとなる。

【0023】以下、本発明によるプライオリティエンコーダの実施形態の動作を説明する。先ず、本発明の主要部である優先度決定部40の動作を、図6のフローチャートと、図11および図12のブロック図を参照して説明する。優先度決定部40は、各チャンネル毎に図6に示す処理フローを実行している。1例として、図11に示す如く、要求チャンネル数が3、プライオリティレジスタ30～32のビット幅が2およびプライオリティレジスタ30～32に設定されている値が大きいほど高優先度とした。上位制御部10の設定手段を用いて各チャンネルのプライオリティレジスタ30～32に、チャンネル0に「2h」、チャンネル1に「1h」、チャンネル2に「3h」が設定されていたとする。また、上位制御部10からの要求信号RQは、全チャンネル「要求あり」（以下、「要求あり」で「1」、「要求なし」で「0」とする）であった場合の動作を説明する。

【0024】上述の条件で優先度決定部40に入力された場合には、図12のプライオリティレジスタ30～32から通知されている優先情報信号P10 1～P12 1ビットが「1」となっているチャンネルは、チャンネル0とチャンネル2である。また、RQ0～RQ2が「111」であるので、ANDゲートA0～A2の出力は、「101」となる。ここで、チャンネル1は、プライオリティレジスタ30～32の上位側の設定値が「0」であるので、ANDゲートA1の出力は「0」となる。また、ORゲートR1の出力により2-1SEL50～S2はセレクトされる。ORゲートR1の出力が「0」である場合には、上割（RQx）を選択し、「1」である場合には、下割（RQx AND P1x 1ビット）を選択する。ここで、ANDゲートA0～A2の出力は、「101」であるので、ORゲートR1の出力も「1」となり、2-1SEL50～S2は、下割を選択している。即ち、2-1SEL50～S2の出力は、「101」となる。これは、図6においてプライオリティレジスタ30～32のビット幅が2であるため、n=2であるので、ビット1の部分が終了したところに位置する。

【0025】次に、図12において、2-1SEL50～S2の出力が「101」で、P10 0～P12 0ビットが「011」であるため、ANDゲートA3～A5の出力は「001」となる。また、ORゲートR0の出力は、「1」となるため、2-1SEL53～S5の出力（PRQ0～PRQ2）は「001」となる。これは、図6のビット0の部分が終了したところに位置する。これにより、優先度決定部40は、全ての要求があった場合に、プライオリティレジスタに設定されている優先情報が高いチャンネルの要求信号を「要求あり」と、要求マスク部50に通知することができる。

【0026】次に、プライオリティレジスタ値が、チャンネル0に「1h」、チャンネル1に「0h」、チャンネル2

に「0h」であって、上位制御部10からの要求信号RQが、チャンネル1および2のみ「要求あり」であった場合の動作を、図12を参照して説明する。P10 1～P12 1ビットは「000」であり、RQ0～RQ2は「011」であることから、ANDゲートA0～A3の出力は「000」となり、ORゲートR1の出力も「0」となってしまう。このとき、2-1SEL50～S2は、ORゲートR1の出力が「0」であるため、上割（RQx）を選択する。よって、2-1SEL50～S2の出力は「011」となる。次に、P10 0～P12 0ビットは「100」であるので、ANDゲートA3～A5の出力は「000」となり、ORゲートR0の出力も「0」となる。そこで、2-1SEL53～S5は、上割を選択する。よって、2-1SEL53～S5の出力は「011」となる。以上より、優先度決定部40は、優先情報の同じチャンネルに要求があった場合には、そのチャンネル全ての要求信号を「要求あり」として、要求マスク部50に通知する。

【0027】また、図12は、従来技術に開示されている図19と同じ機能（チャンネル数、プライオリティレジスタのビット幅）を実現したものである。要求マスク部は、図8にも示す如く、優先度決定部40からの要求信号PRQ0～PRQ3の中で、予め決められた順番で、複数の要求信号の中から1つを決定する。例えば、チャンネル番号の小さい方から要求信号PRQのレベルをみて「1」であれば、そのチャンネルの要求信号MRQを「1」とし、それ以後のチャンネルの要求信号MRQを「0」とする。例えば、PRQ0～PRQ3のレベルが「0101」であった場合には、要求マスク部50から出力される要求要求信号MRQ0～3は、「0100」となる。

【0028】次に、コード部60は、図8に示す如く、要求マスク部50からの要求信号MRQ0～3をコードし出力する。例えば、要求マスク部50からの要求信号MRQ0～3が「0100」であれば、下位制御部70に処理チャンネル通知信号ENC「0.1」と通知する。上述の構成により、プライオリティレジスタ30に設定された優先度が高いチャンネルを、下位制御部70は知ることができる。

【0029】次に、本発明によるプライオリティエンコーダの他の実施形態を説明する。図13に第2実施形態の構成図を示す。この第2実施形態のプライオリティエンコーダ24は、その基本的構成において図1に示す第1実施形態のプライオリティエンコーダ20と同様であるが、各チャンネルからの要求信号について更に工夫している。図13は、チャンネル数を4、プライオリティレジスタを2ビットとした場合の構成図である。このプライオリティエンコーダ24は、プライオリティレジスタ30～33、優先度決定部41、要求マスク部50およびコード部60に加えて、各チャンネルの要求信号保持手段

であるフリップフロップ(F/F)80~83より構成され、上位制御部11および下位制御部70間に接続されている。

【0030】図1に示すプライオリティエンコーダ20では、プライオリティレジスタ30に設定されている値が大きいものと、優先度の小さい値が設定されているチャンネルが永遠に処理されない場合がある。そこで、第2実施形態のプライオリティエンコーダ24では、上位制御部11および優先度決定部41の間に保持手段であるインーブル付F/F80~83を付加した。F/F80~83がラッチするタイミングは、優先度決定部41からの全てのチャンネルに要求があるか否かを示す要求信号URQが、全てのチャンネルに要求がない場合に、上位制御部11は、F/F80~83のインーブル信号ENBをアクティブにする。そして、上位制御部11からの各チャンネルの要求信号URQ0~URQ3を保持し、要求信号RQ0~RQ3を優先度決定部41へ通知する。これ以後の動作は、上述の動作と同様である。このように、この第2実施形態のプライオリティエンコーダ24では、優先度の低いチャンネルも処理可能になることを特徴とする。

【0031】次に、図14は、本発明によるプライオリティエンコーダ25の第3実施形態の構成図を示す。このプライオリティエンコーダ25は、上位制御部12および下位制御部70間に接続され、基本的構成は、上述の実施形態と同様であるが、各チャンネルからの要求信号について更に工夫している。このプライオリティエンコーダ25をタイムシェアリングして使用することを考えた場合の構成例であり、チャンネル数を4、プライオリティレジスタを2ビット、シェアリング数を2とした場合の構成図である。そこで、入力部に2-1SEL90~97を含んでいる。上位制御部12は、処理サイクルがT1、T2、T1、T2、...と繰り返すものである。また、上位制御部12内では、T1サイクルでチャンネル0~3の処理要求が発生し、T2サイクルでチャンネル4~7の処理要求が発生したとすると、上位制御部12のセレクト切替手段により、SEL信号をT1サイクル中にチャンネル0~3をアクティブとする。一方、T2サイクル中にチャンネル4~7をアクティブとする。これにより、2個のプライオリティエンコーダを使用することなく処理可能である。各2-1SEL90~97の後段の動作は、上述の動作と同様であるので、説明を省略する。

【0032】次に、図15は、本発明によるプライオリティエンコーダの第4実施形態の構成図を示す。この第4実施形態のプライオリティエンコーダ26は、上述した第2実施形態および第3実施形態を組み合わせたものである。このプライオリティエンコーダ26は、上位制御部13および下位制御部70間に接続され、F/F80~83、2-1SEL90~97、プライオリティ

レジスタ30~37、優先度決定部41、要求マスク部50およびコード部60により構成される。尚、動作は、上述した第2実施形態および第3実施形態のプライオリティエンコーダ24、25を合わせたものであるもので、詳細説明は省略する。

【0033】以上、本発明によるプライオリティエンコーダの各種実施形態の構成および動作を詳述した。しかし、斯かる実施形態は、本発明の単なる例示に過ぎず、何ら本発明を限定するものではないことに留意されたい。本発明の要旨を逸脱することなく、特定用途に応じて種々の変形変更が可能であること、当業者には容易に理解できよう。

【0034】

【発明の効果】以上の説明から理解される如く、本発明のプライオリティエンコーダによれば、下記の如き実用上の顕著な効果を有する。即ち、プライオリティレジスタのビット幅が増大したとしても優先度決定部を2-1SELと少数の論理ゲート(又はゲート回路)で構成可能であるため、配線数およびゲート規模の小さいプライオリティエンコーダが得られる。また、チャンネル数が大幅に増加した場合には、多段接続することにより、構成が簡潔にでき、拡張しやすいプライオリティエンコーダが実現可能である。

【図面の簡単な説明】

【図1】本発明によるプライオリティエンコーダの第1実施形態のブロック図である。

【図2】チャンネル数が多くなり多段構成にした場合の本発明によるプライオリティエンコーダのブロック図である。

【図3】図2に示す多段構成の上段のプライオリティエンコーダのブロック図である。

【図4】図2に示す多段構成の中段のプライオリティエンコーダのブロック図である。

【図5】図2に示す多段構成の下段のプライオリティエンコーダのブロック図である。

【図6】図1に示す優先度決定部の単一チャンネルの動作フローチャートである。

【図7】図1に示す優先度決定部の詳細な構成図(チャンネル数n、プライオリティレジスタ幅n)である。

【図8】図1に示す本発明のプライオリティエンコーダの第1実施形態の詳細な構成図(チャンネル数3、プライオリティレジスタ幅2)である。

【図9】図1、図3および図4に示す優先度決定部の詳細な構成図である。

【図10】図1、図3および図4に示すコード部の詳細な構成図である。

【図11】本発明によるプライオリティエンコーダの第1実施形態(チャンネル数3、プライオリティレジスタ幅2)のブロック図である。

【図12】優先度決定部の詳細な構成図(チャンネル数

3、プライオリティレジスタ幅2)である。

【図1 3】本発明によるプライオリティエンコーダの第2実施形態の構成を示すブロック図である。

【図1 4】本発明によるプライオリティエンコーダの第3実施形態のブロック図である。

【図1 5】本発明によるプライオリティエンコーダの第4実施形態のブロック図である。

【図1 6】プライオリティレジスタを1.6ビット幅とした場合の、1チャンネルのロビ回路の具体例である。

【図1 7】プライオリティレジスタを1.6ビット幅とした場合の、1.6チャンネル分のSEL回路例である。

【図1 8】従来のプライオリティエンコーダのブロック図である。

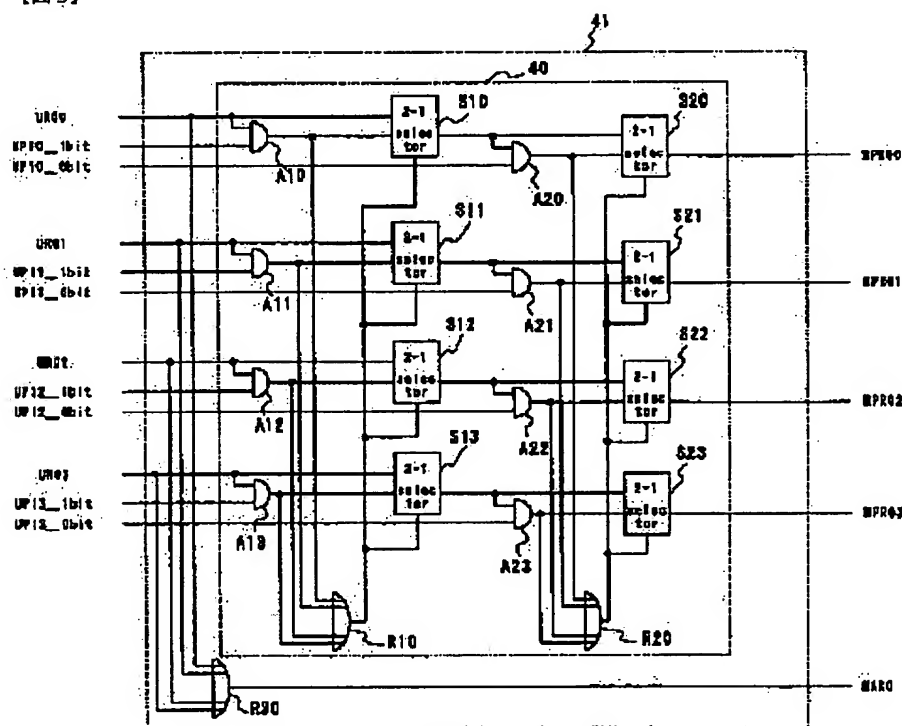
【図1 9】図1 8に示すプライオリティエンコーダを構

成する優先度決定回路の詳細構成図である。

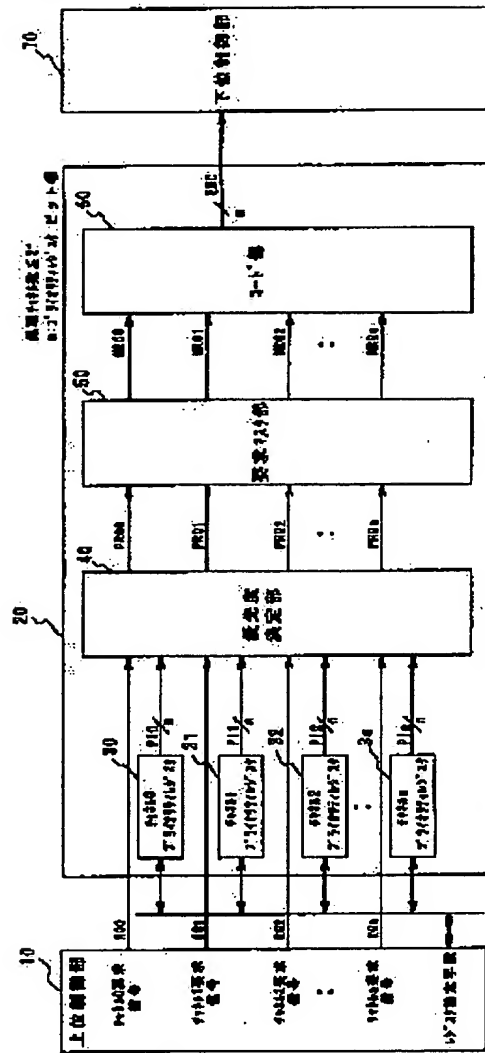
【符号の説明】

1.0~1.3	上位制御部
2.0~2.6	プライオリティエンコーダ
3.0~3.7	プライオリティレジスタ
4.0、4.1	優先度決定部
5.0	要求マスク部
6.0~6.3	コード部
7.0	下位制御部
8.0~8.7	チャンネル要求信号保持手段（フリップフロップ）
9.0~9.7	セレクト（SEL）
A0~A5	ANDゲート
S0~S5	セレクト

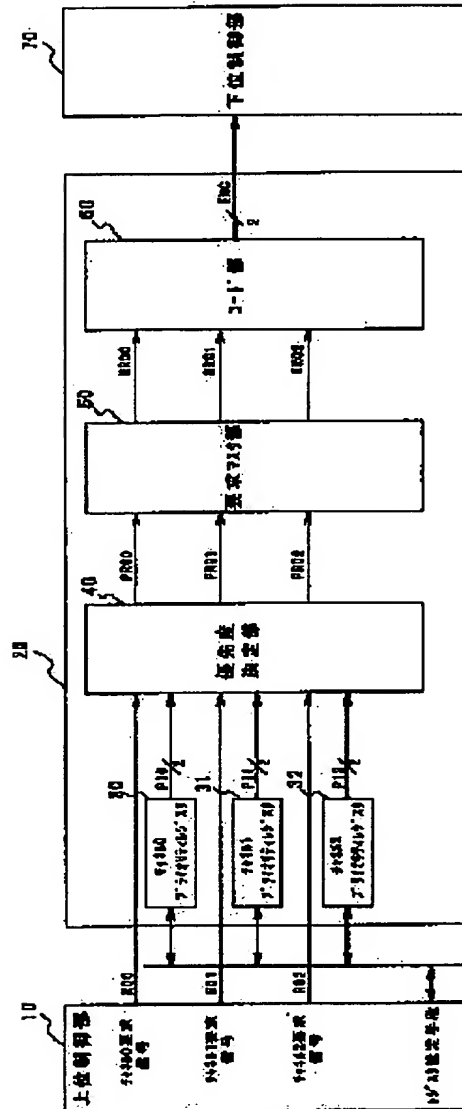
【図 9】



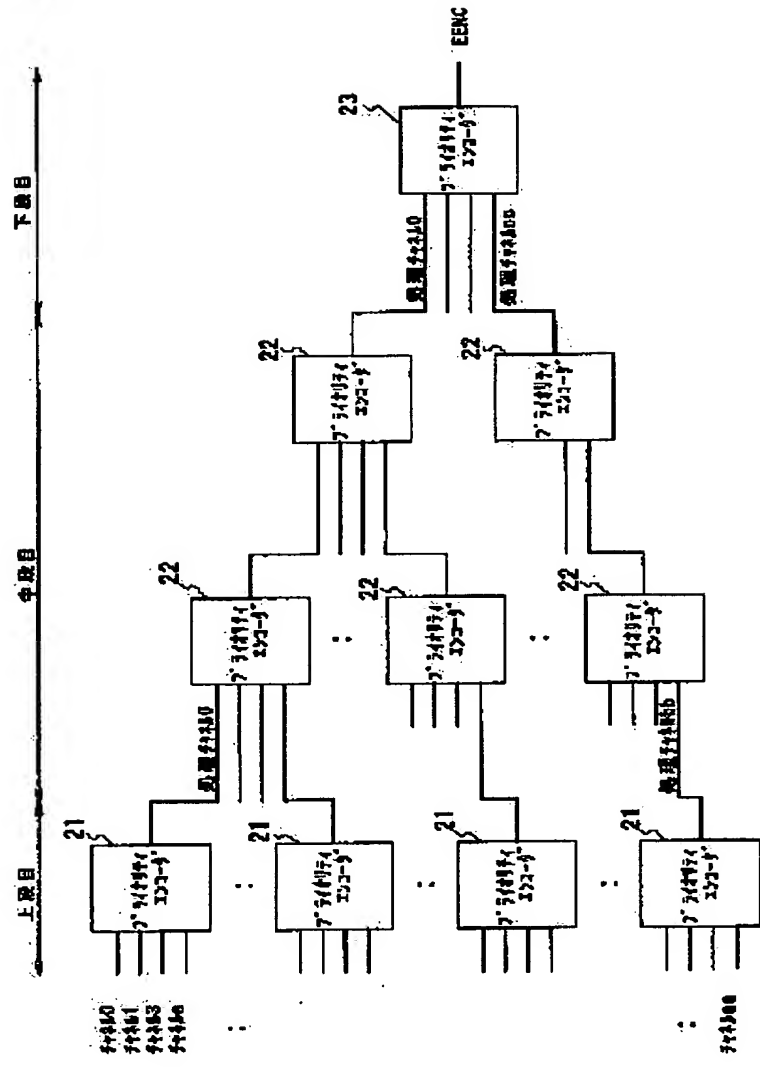
【图 1】



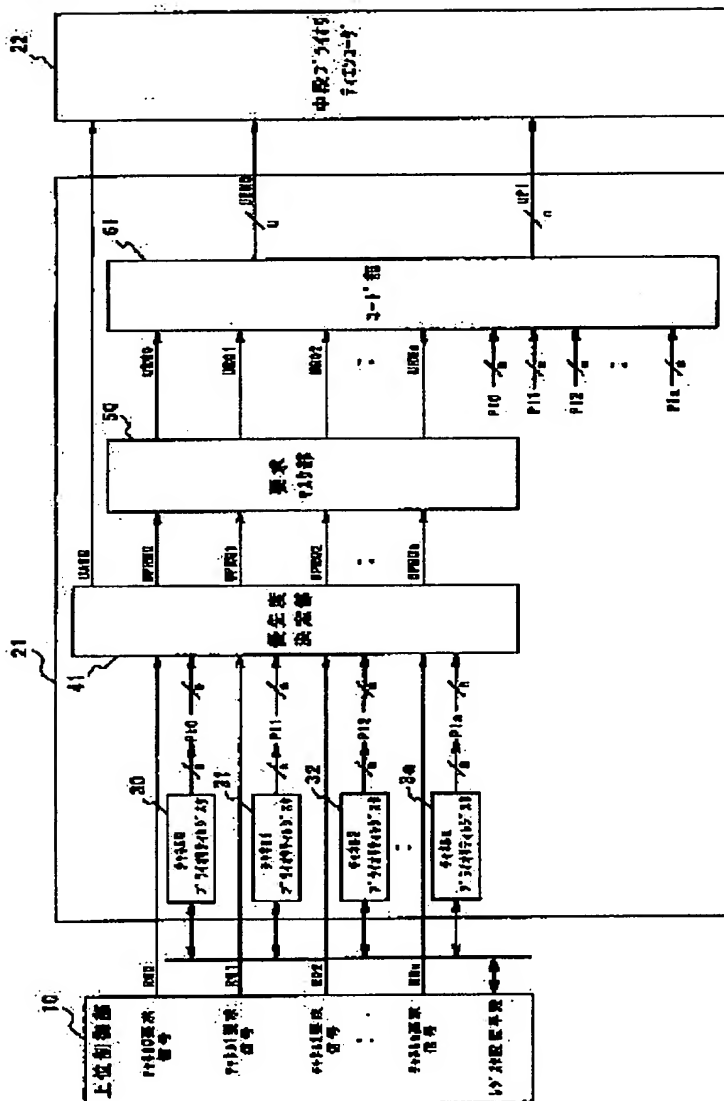
【图 1】



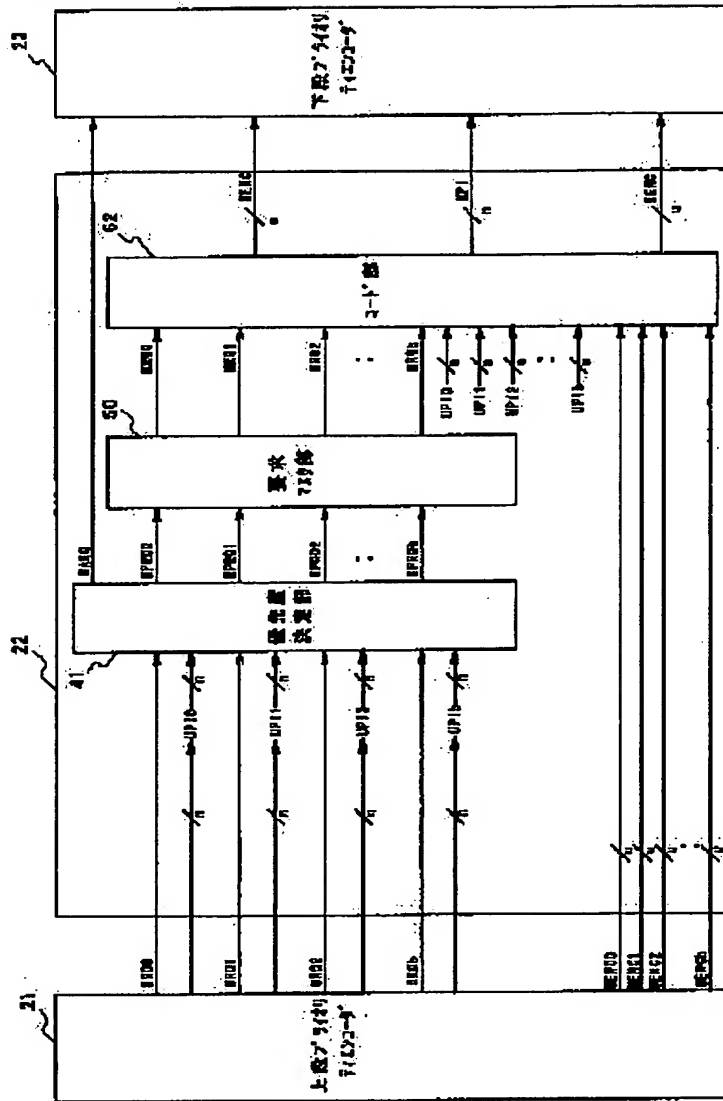
[图 2]



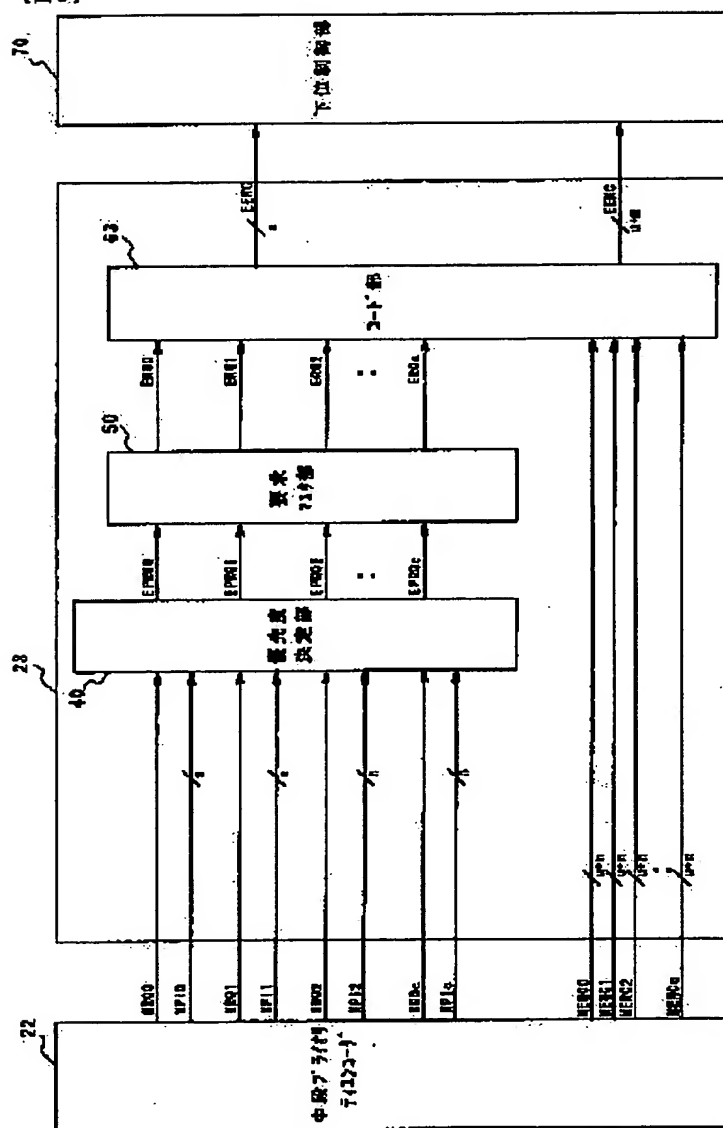
[图3]



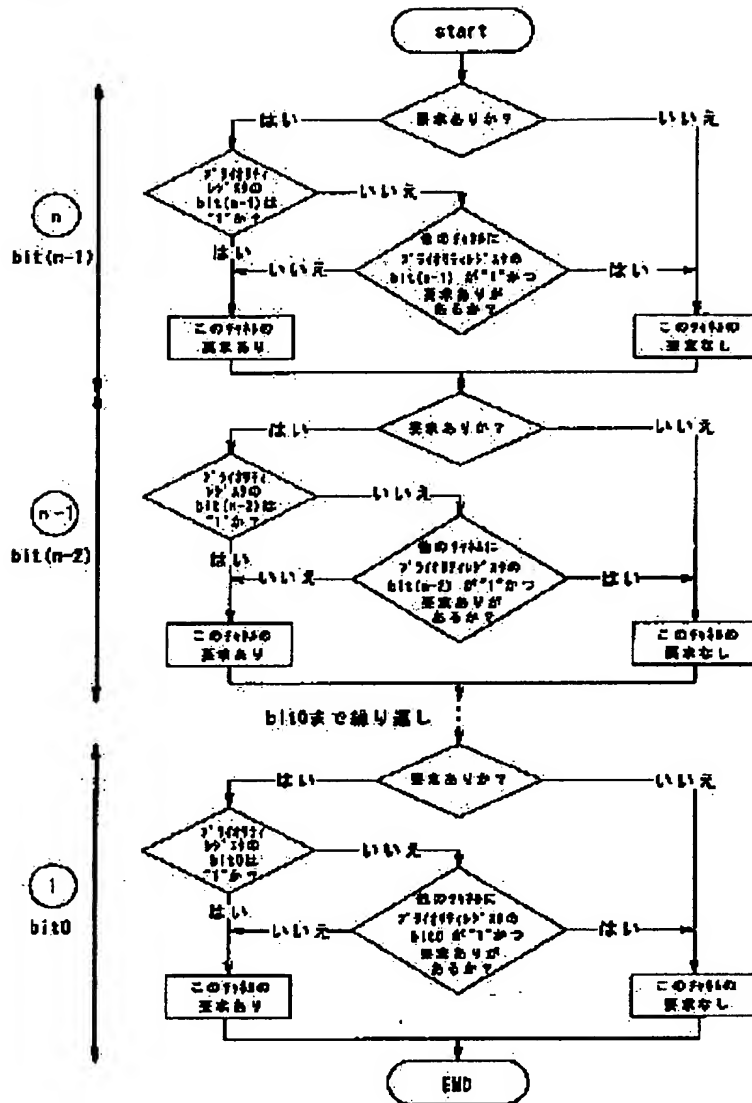
【図4】



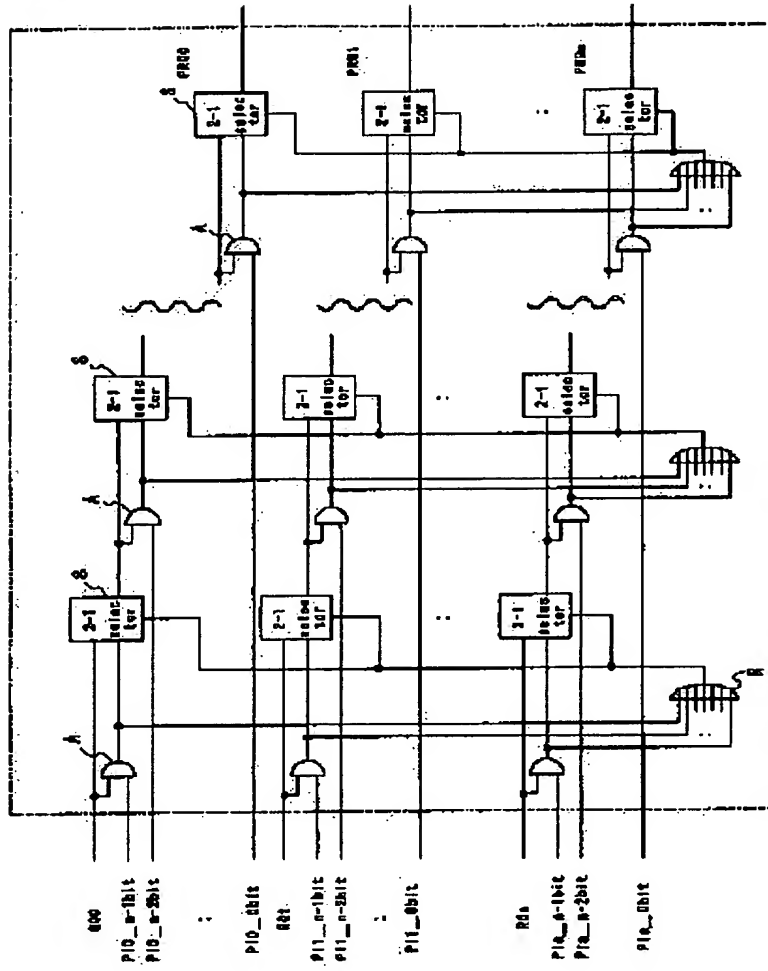
【図5】



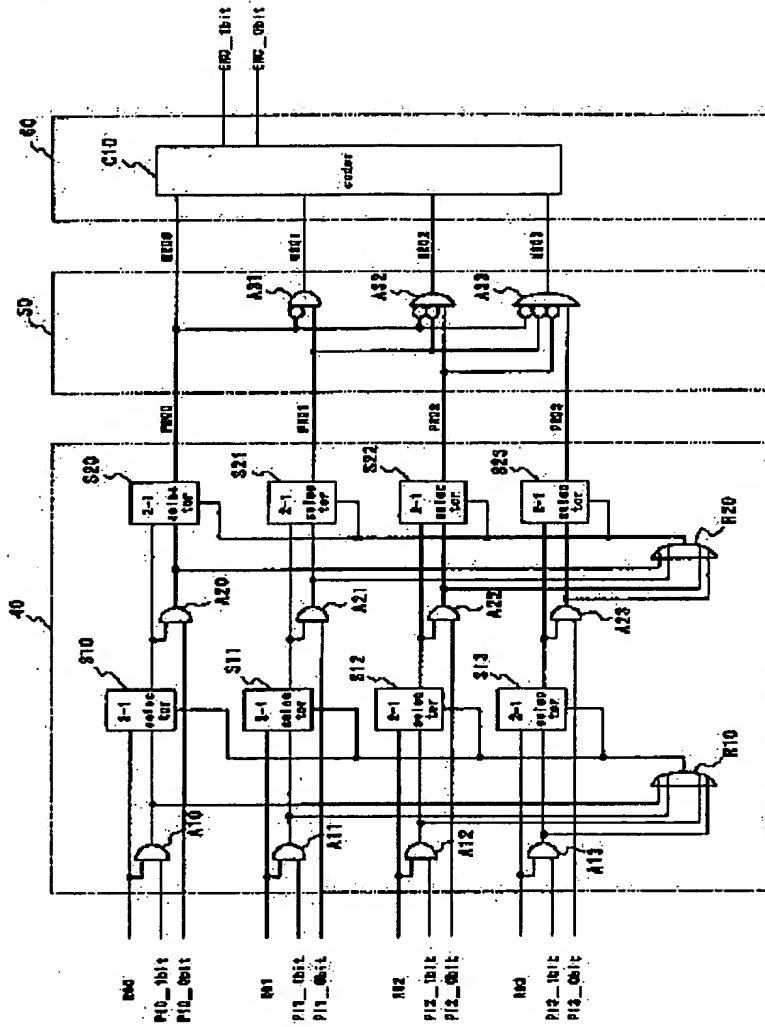
【図6】



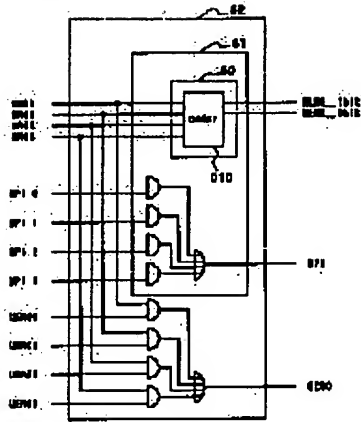
【图 7】



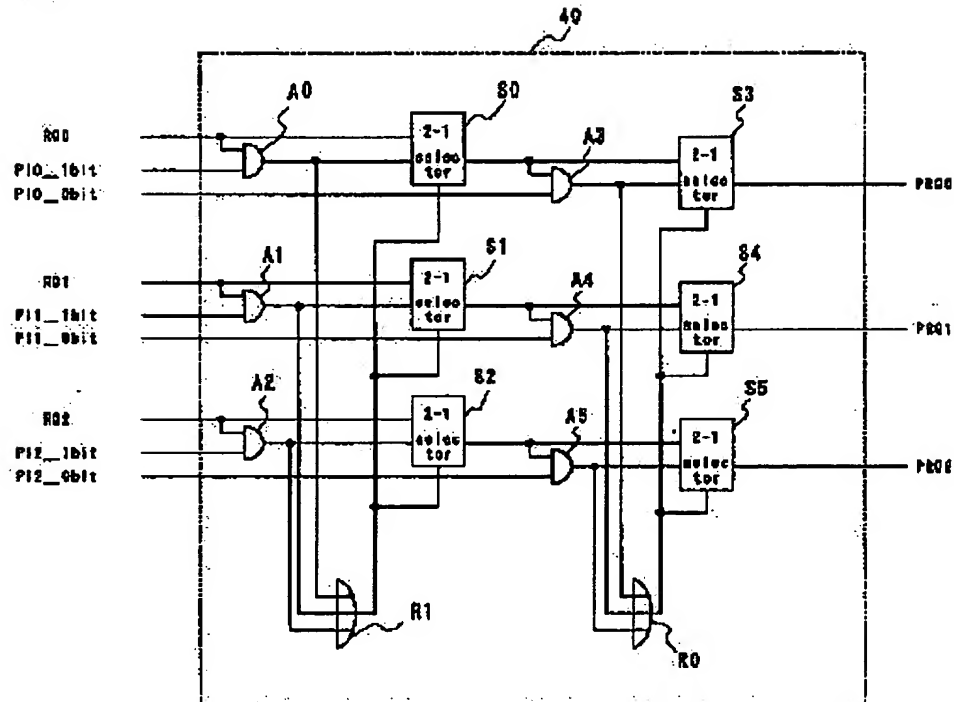
[8]



【図 10】



【図 12】



[图 1-6]

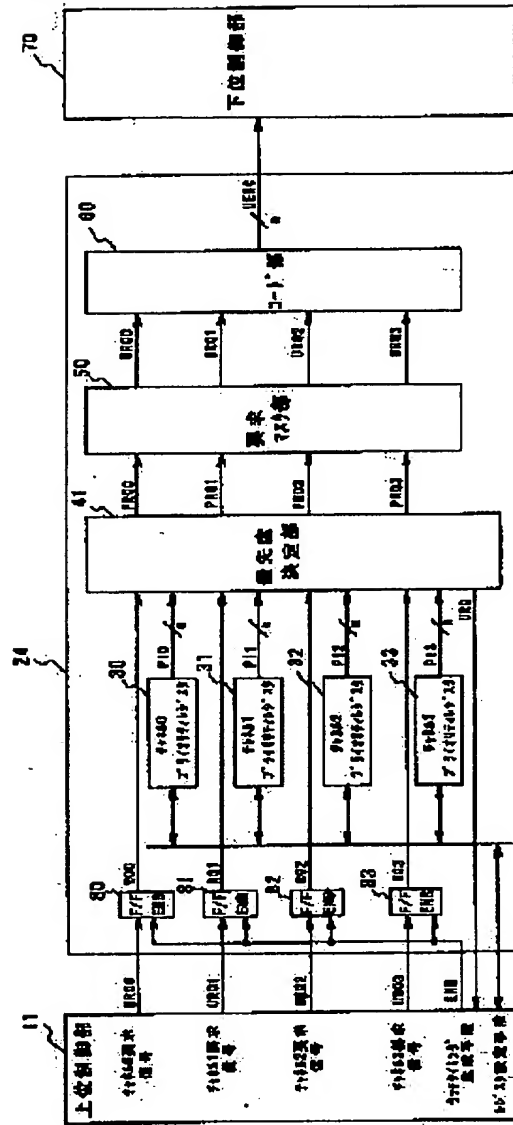
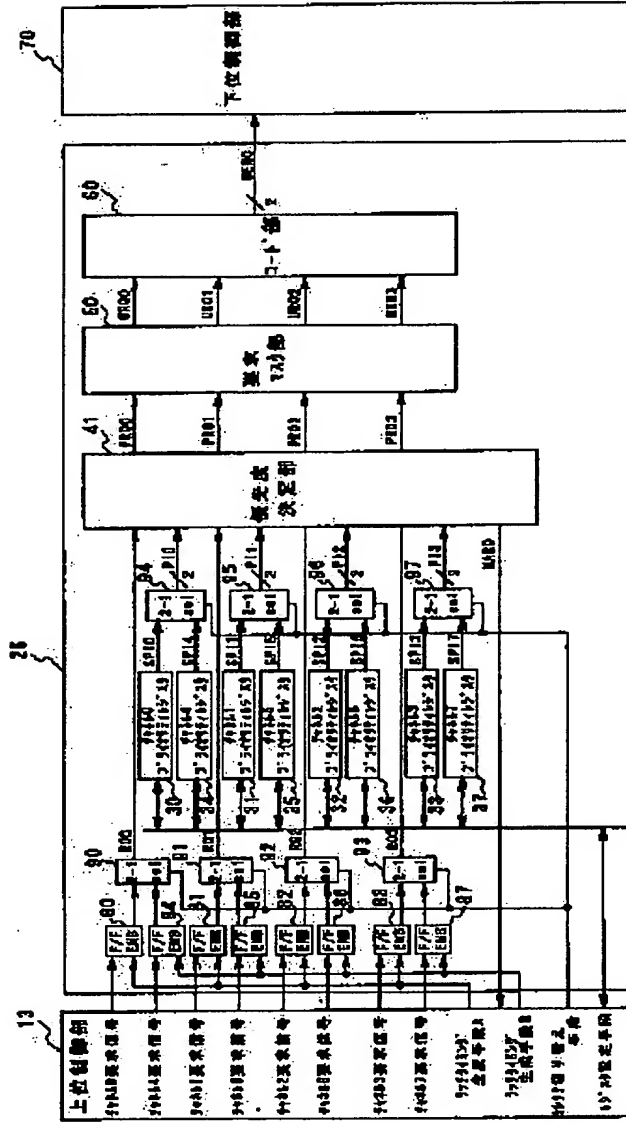


图 1-5



下記例は、 $p+1$ のための、 $10p+5$ の場合は、下記図が10倍必要



[illegible]

Figure 1 is a block diagram of a multi-channel system. At the top, a block labeled 105, "MEMインターフェース" (Memory Interface), is connected via a double-headed arrow to a block labeled 100, "メモリ制御装置" (Memory Control Unit). Below this, a horizontal bus line labeled 140 runs across the diagram. On the left, a block labeled 150, "優先度決定回路" (Priority Decision Circuit), is connected to the bus 140. Three channel units are connected to the bus 140: 110, 120, and 130. Each channel unit contains a block labeled "メモリインターフェース" (Memory Interface) and a block labeled "メモリ" (Memory). Unit 110 has a 2-channel memory interface 112 and a 2-channel memory 111. Unit 120 has a 2-channel memory interface 122 and a 2-channel memory 121. Unit 130 has a 2-channel memory interface 132 and a 2-channel memory 131. The bus 140 connects the priority decision unit 150 to the memory interfaces of the channel units 110, 120, and 130, and also to the memory control unit 100.

【图 19】

